

PCT/JP00/05904

31.08.00

日本国特許庁

PATENT OFFICE

JAPANESE GOVERNMENT

EKU

JP00/5904

REC'D 20 OCT 2000

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年12月16日

出願番号

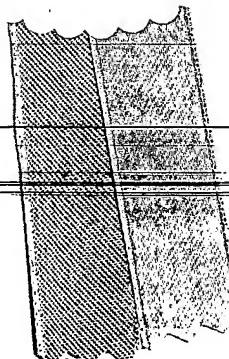
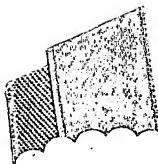
Application Number:

平成11年特許願第356898号

出願人

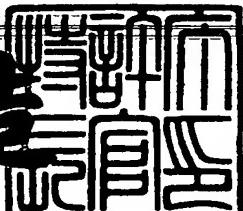
Applicant(s):

松下電器産業株式会社



特許庁長官
Commissioner,
Patent Office

及川耕造



2000年10月6日

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

出証番号 出証特2000-3080910

【書類名】 特許願
 【整理番号】 5037910090
 【提出日】 平成11年12月16日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G09G 3/36
 H03H 19/00

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
 式会社内

【氏名】 土居 康之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
 式会社内

【氏名】 大森 哲郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株
 式会社内

【氏名】 西 和義

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶駆動回路、半導体集積回路装置、基準電圧バッファ回路及びその制御方法

【特許請求の範囲】

【請求項1】 液晶素子を駆動するための複数のソースドライバ回路装置を液晶パネル上に配置してなる液晶駆動回路において、

上記液晶素子を駆動するための複数の基準電圧を生成する基準電圧生成回路と

上記基準電圧生成回路で生成された上記複数の基準電圧を上記各ソースドライバ回路装置に供給するための基準電圧配線であって、上記液晶パネル上と上記各ソースドライバ回路装置上とを通じて延びる複数の基準電圧配線を備えていることを特徴とする液晶駆動回路。

【請求項2】 請求項1記載の液晶駆動回路において、

上記ソースドライバ回路装置は、

上記ソースドライバ回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、

上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、

上記複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、

上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子の駆動用電圧として選択する選択回路と
を備えていることを特徴とする液晶駆動回路。

【請求項3】 液晶モジュール内に配置され、液晶素子を駆動するためのソースドライバ回路を搭載した半導体集積回路装置において、

上記ソースドライバ回路は、

上記半導体集積回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、

上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線

と、

上記複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、

上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子駆動用電圧として選択する選択回路と
を備えている半導体集積回路装置。

【請求項4】 請求項3記載の半導体集積回路装置において、

上記各バッファの出力電圧を受けて、上記複数の基準電圧を細分化した細分化電圧を生成した後、上記選択回路に細分化電圧を出力する細分化電圧生成回路をさらに備え、

上記選択回路は、上記細分化電圧のうちいずれか1つを選択することを特徴とする半導体集積回路装置。

【請求項5】 請求項3又は4記載の半導体集積回路装置において、

上記バッファは、入力電圧と出力電圧との電位差を低減するオフセットキャンセル機能を有することを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置において、

上記バッファは、

一方の端子に上記バッファへの入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第1、第2の電極を有し上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記演算器に入力電圧を導入するための入力側ノードと、

上記キャパシタの第1の電極に接続された第1のノードと、

上記キャパシタの第2の電極に接続された第2のノードと、

上記演算器の出力電圧を受ける第3のノードと、

上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、

上記第1のノードと上記演算器の入力側ノードとの間に介設された第2のスイッチング素子と、

上記第1のノードと上記第3のノードとの間に介設された第3のスイッチング素子と

により構成されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項6記載の半導体集積回路装置において、

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的変化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えていることを特徴とする半導体集積回路装置。

【請求項8】 請求項5記載の半導体集積回路装置において、

上記バッファは、外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成されており、

上記各バッファ回路は、

一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第1、第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記キャパシタの第1の電極に接続された第1のノードと、

上記キャパシタの第2の電極に接続された第2のノードと、

上記演算器の出力信号を受ける第3のノードと、

上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、

上記第1のノードと上記入力側ノードとの間に介設された第2のスイッチング素子と、

上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、

上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子と

により構成されていることを特徴とする半導体集積回路装置。

【請求項9】 液晶モジュールの液晶素子を駆動するためのソースドライバ

回路に配置される基準電圧バッファ回路であって、

外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成され、

上記各バッファ回路は、

一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、

第1、第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、

上記キャパシタの第1の電極に接続された第1のノードと、

上記キャパシタの第2の電極に接続された第2のノードと、

上記演算器の出力信号を受ける第3のノードと、

上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、

上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、

上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、

上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子と

により構成されていることを特徴とする基準電圧バッファ回路。

【請求項10】 請求項9記載の基準電圧バッファ回路において、
上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的变化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えていることを特徴とする基準電圧バッファ回路。

【請求項11】 入力側ノードと出力側ノードとの間に、出力電圧を入力電圧に等しくするよう動作する演算器と、第1、第2の電極を有するキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3の

ノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とをそれぞれ有する2つのバッファ回路を互いに並列に接続して構成される基準電圧バッファ回路の制御方法であって、

上記各バッファ回路において、当該バッファ回路から基準電圧を出力する出力モードのときには、上記第3及び第4のスイッチング素子を導通状態にして、上記第1及び第2のスイッチング素子を非導通状態にする一方、

当該バッファ回路のキャパシタに電荷を蓄積する電荷蓄積モードのときには、上記第3及び第4のスイッチング素子を非導通状態にして、上記第1及び第2のスイッチング素子を導通状態にすることを特徴とする基準電圧バッファ回路の制御方法。

【請求項12】 請求項11記載の基準電圧バッファ回路の制御方法において、

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的変化を打ち消すための第5のスイッチング素子を介設した閉回路をさらに備えており、

上記第1のスイッチング素子の導通・非導通を切り換えるときには上記第5のスイッチング素子を連動させて逆向きに切り換えることを特徴とする基準電圧バッファ回路の制御方法。

【請求項13】 請求項11又は12記載の基準電圧バッファ回路の制御方法において、

上記2つのバッファ回路のうち一方のバッファ回路が上記出力モードで他方のバッファ回路が上記電荷蓄積モードの状態から、上記一方のバッファ回路が上記電荷蓄積モードで他方のバッファ回路が上記出力モードの状態に切り換える際には、

上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えてから、上記他方のバッファ回路の第3及び第4のスイッチング素子を導

通状態に切り換えることを特徴とする基準電圧バッファ回路の制御方法。

【請求項14】 請求項13記載の基準電圧バッファ回路の制御方法において、

上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えるときには、上記第4のスイッチング素子を非導通状態に切り換えた後、上記第3のスイッチング素子を非導通状態に切り換え、

上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えるときには、上記第3のスイッチング素子を導通状態に切り換えた後、上記第4のスイッチング素子を導通状態に切り換えることを特徴とする基準電圧バッファ回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶素子を駆動させるための液晶駆動回路、液晶駆動回路内に配置される半導体チップ及び半導体チップ内に形成される基準電圧バッファ回路に関するものである。

【0002】

【従来の技術】

従来より、相対向する1対のガラス基板の間に液晶を介在させる一方、1対のガラス基板の間に電圧を印加して、液晶がその配向状態に応じて光の透過率を変化させる性質を利用して、図形、文字、記号などの各種の視覚的情報を表示しうるよう構成された液晶パネルや、この液晶パネルに駆動回路を付加した液晶モジュール)が知られている。

【0003】

図9は、従来の液晶モジュール100の平面図である。同図に示すように、液晶モジュール100は、液晶パネル101と、液晶パネル101の液晶表示部101a中の液晶素子102を駆動させるための駆動回路とに分かれる。液晶パネル101の液晶表示部101aには、液晶を挟む1対のガラス基板が設けられていて、図9に現れている一方のガラス基板(上方のガラス基板)と、図9には現

れていない対向ガラス基板（下方のガラス基板）との間に、液晶素子102とTFT103とがマトリクス状に配置されている。液晶素子102は、例えば上方のガラス基板の下面に形成された透明電極と、対向ガラス基板の上面に形成された対向透明電極の間に介在する液晶により構成されている。また、TFT103は、上方のガラス基板の下面において透明電極に接続されて、透明電極の電圧を制御するためのトランジスタである。

【0004】

また、駆動回路は、各TFT103のソースの電圧を制御するための複数（この例では8個）のソースドライバ104と、各TFT103のゲートの電圧を制御するためのゲートドライバ105と、ソースドライバ104及びゲートドライバ105に供給する電圧信号や制御信号を生成するための電圧生成・制御用回路120と、電圧生成・制御用回路120とソースドライバ104との間に設けられた第1配線用基板110と、電圧生成・制御用回路120とゲートドライバ105との間に設けられた第2配線用基板112とを備えている。第1配線用基板110と各ソースドライバ104とはフレキシブル配線111を介して接続され、第2配線用基板112と各ゲートドライバ105とはフレキシブル配線113を介して接続されている。駆動回路のうち各ソースドライバ104と各ゲートドライバ105とは液晶表示部101aを除く液晶パネル101に配設されている。すなわち、いわゆるCOG (Chip On Glass) タイプの構造となっている。各ソースドライバ104は、例えば8個のLSIチップ上に個別に形成されている。

【0005】

そして、液晶パネル101において、駆動回路の各ソースドライバ104から図9に示す列（コラム）に沿って多数のデータ線106が液晶表示部101aに延びており、各データ線106は各TFT103のソースに接続されている。また、ゲートドライバ105から図9に示す行（ロウ）に沿って多数のゲート線107が液晶表示部101aに延びており、各ゲート線107は各TFT103のゲートに接続されている。また、液晶素子102に印加する電圧の制御の方式としては、透明電極が対向透明電極よりも高電位であるときの電圧極性を“正”と定義したときに、対向透明電極の電圧を一定の時間間隔で正負切り換える一方、

TFT側の透明電極の電圧はn段階（この例では64段階）の電圧値に制御するという第1のタイプと、対向透明電極の電圧は一定（例えば中間電位VDD/2）にしておき、TFT側の透明電極の電圧を一定の時間間隔で交互に正負n段階（この例では64段階、合計128段階）の電圧値に反転させる第2のタイプとがある。いずれの方式においても、液晶素子102に印加される電圧が常に同じ極性であれば、液晶の劣化による明度の誤差が生じるのを回避するようにしている。

【0006】

図10は、従来の第1のタイプのソースドライバ104Aの構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ104A内には、基準電圧配線131が機械的に接続される部分であるパッド133と、基準電圧配線131の信号を受けて、さらに細分化した基準電圧を生成する基準電圧生成用抵抗部132と、基準電圧生成用抵抗部132に接続される多数の電圧レベル選択回路134と、各電圧レベル選択回路134の後段側に配置された出力バッファ135とを備えている。つまり、電圧に関する信号をできるだけソースドライバ104A内で生成するようにして基準電圧のみを外部から生成されたものを受けける構成になっている。

【0007】

基準電圧配線131は、電圧生成・制御用回路120とソースドライバ104Aとを接続する配線であって、その一部が上記フレキシブル配線111となっていいる。なお、基準電圧配線以外のデータ信号線（例えば6ビット）もソースドライバ104Aに接続されており、第1配線用基板110は、極めて多くの配線を支持するために何層もの基板を積層した構造となっている。

【0008】

基準電圧生成用抵抗部132は、1つの液晶素子102の配向状態をn段階（例えば64段階）に制御してn階調（例えば64階調）の明度を与えるものである。例えば互いに異なる10段階の電圧値の信号が流れる10本の基準電圧配線131が基準電圧生成抵抗部132に接続され、この10段階の電圧値を基準電圧生成抵抗部132によってさらに64段階の電圧値に細分化するように構成さ

れている。また、上述の第1配線用基板110は基準電圧配線131などを支持するものである。

【0009】

各電圧レベル選択回路134は、n本の信号線を介して基準電圧生成用抵抗部132から電圧信号を受けており、各電圧レベル選択回路134は、電圧選択制御信号Svsの制御により、n本の信号線のうちいずれか1つの信号線から供給される電圧信号を通過させて、出力バッファ135を介してデータ線106に出力するものである。すなわち、電圧選択制御信号Svsにより、TFT103を経て液晶素子102を挟む1対の透明電極の間に印加される電圧を64段階のうちいずれか1つに制御することにより、当該液晶素子102を通過した光の明度が制御される。また、1つのソースドライバ104A内において、電圧レベル選択回路134は、カラー表示の場合には例えば384個ずつ配置されている。

【0010】

また、図11は、従来の第2のタイプのソースドライバ104Bの構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ104B内には、対向透明電極に印加される中間電圧よりも高電位の基準電圧を受ける正側基準電圧生成用抵抗部132aと、対向透明電極に印加される中間電圧よりも低電位の基準電圧を受ける負側基準電圧生成部132bとが設けられていて、各電圧レベル選択回路134は、正側基準電圧生成抵抗部132aの出力を受ける正側電圧レベル選択回路134aと、負側基準電圧生成抵抗部132bの出力を受ける負側電圧レベル選択回路134bとに分けられ、正側電圧レベル選択回路134aと負側電圧レベル選択回路134bとが交互に配置されている。そして、正側電圧レベル選択回路134aと負側電圧レベル選択回路134bとの出力を受けるセレクタ136により、セレクタ制御信号Sseに応じて、正側電圧レベル選択回路134aの出力と負側電圧レベル選択回路134bの出力とを交互に切り換えて、両者の出力側に配置される出力バッファ135、135に供給するようく制御される。つまり、相隣接する2つの出力バッファ135、135からは、一定の時間間隔で交互に高低切り換わる電圧信号が出力されることになる。すなわち、相隣接するデータ線106に接続される液晶素子102には、常に正負

逆の電圧が印加された状態となり、かつ、その状態が一定の時間間隔で逆転することになる。このように、第2のタイプの液晶モジュールに配置されるソースドライバ104Bにおいては、相隣接するデータ線106の電圧を交互に高低切り換えることにより、1つの液晶素子102に印加される電圧を一定の時間間隔で正負切り換えるように構成されている。

【0011】

【発明が解決しようとする課題】

ここで、上記第1のタイプ、第2のタイプのいずれにおいても、ソースドライバ104に供給される基準電圧の電圧値のばらつきの少ないことが要求される。例えば数ボルトの電圧を64階調や256階調に細分化すると、約10~20mV程度の電圧幅に細分化されるからである。かかる要請から、従来の液晶モジュールにおいては、各ソースドライバ104に、電圧生成・制御用回路120で生成された基準電圧をできるだけ電圧降下がない状態で供給するために、第1配線用基板110と各ソースドライバ104とを、抵抗が数Ω程度のフレキシブル配線111により接続するようになされている。

【0012】

しかしながら、上記従来の液晶表示モジュールにおいて、第1のタイプ、第2のタイプのいずれにも共通する不具合として、ソースドライバに基準電圧を供給する基準電圧配線の構造の複雑さがある。特に、コンピュータグラフィックなどの映像表示システムの進歩に伴い、ソースドライバから供給すべき電圧信号をより細分化すべき要請が高まっているので、配線数はますます増大することが予想される。そのために、図9に示す構造において、ソースドライバ104とフレキシブル配線111を介して接続される第1配線用基板110が多層基板を積層した複雑なものとなり、かつ、液晶モジュールのトータルコストの低減を妨げる1つの要因となってきたている。

【0013】

本発明の目的は、各ソースドライバに供給される基準電圧の電圧値のばらつきを抑制しつつ基準電圧を供給するための配線の構造を簡素化しうる手段を講ずることにより、液晶モジュールの小型化やトータルコストの低減を実現することに

ある。

【0014】

【課題を解決するための手段】

本発明の液晶駆動回路は、液晶素子を駆動するための複数のソースドライバを液晶パネル上に配置してなる液晶駆動回路を前提とし、上記液晶素子を駆動するための複数の基準電圧を生成する基準電圧生成回路と、上記基準電圧生成回路で生成された上記複数の基準電圧を上記各ソースドライバ回路装置に供給するための基準電圧配線であって、上記液晶パネル上と上記各ソースドライバ回路装置上とを通じて延びる複数の基準電圧配線を備えている。

【0015】

これにより、従来フレキシブル配線等の配線部材によって各ソースドライバ回路に供給されていた基準電圧が、液晶パネル上に設けられた基準電圧配線から供給されるので、基準電圧配線などのために従来設けられていた配線用基板の構造を簡素化することができる。したがって、配線用基板の積層枚数の低減などによる液晶表示装置の小型化やトータルコストの低減の実現を図ることができる。

【0016】

上記ソースドライバ回路装置は、上記ソースドライバ回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、上記複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子駆動用電圧として選択する選択回路とを備えることが好ましい。

【0017】

各基準電圧配線が液晶パネル上に設けられると、チップ間の基準電圧配線などの抵抗値が大きくなることにより、基準電圧配線に電流が流れると各ソースドライバ回路に入力される基準電圧に電圧降下が生じるおそれがある。それに対して、選択回路の前段側にバッファを設けることにより、選択回路につながる基準電圧配線にバッファを通過した電流が流れないので、各液晶素子に適正な駆動用電

圧を供給することが可能になる。

【0018】

本発明の半導体集積回路装置は、液晶モジュール内に配置され、液晶素子を駆動するためのソースドライバ回路を搭載した半導体集積回路装置を前提とし、上記ソースドライバ回路は、上記半導体集積回路装置の一端部から他の一端部まで延びて、互いに異なる複数の基準電圧を供給するための複数のチップ内基準電圧配線と、上記複数のチップ内基準電圧配線から分岐して延びる同数の分岐基準電圧配線と、上記各複数の分岐基準電圧配線から供給される基準電圧を受けた後出力する同数のバッファと、上記複数のバッファから供給される基準電圧のうちいずれか1つを上記液晶素子の駆動用電圧として選択する選択回路とを備えている。

【0019】

これにより、上述のようなパネル上に基準電圧配線を設けた液晶駆動回路を構成するために用いることができる、半導体チップからなる半導体集積回路装置を供給することが可能になる。

【0020】

上記各バッファの出力電圧を受けて、上記複数の基準電圧を細分化した細分化電圧を生成した後、上記選択回路に細分化電圧を出力する細分化電圧生成回路をさらに備え、上記選択回路が上記細分化電圧のうちいずれか1つを選択する構成とすることにより、高精細化された画像を表示するための液晶パネルに適した半導体集積回路装置が得られる。

【0021】

上記バッファは、入力電圧と出力電圧との電位差を低減するオフセットキャンセル機能を有することにより、ばらつきの小さい精度の高い基準電圧を供給することが可能になる。

【0022】

上記バッファを、一方の端子に上記バッファへの入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1、第2の電極を有し上記入力電圧と出力電圧との電圧差に相当する

電荷を蓄積するためのキャパシタと、上記演算器に入力電圧を導入するための入力側ノードと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力電圧を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側ノードとの間に介設された第2のスイッチング素子と、上記第1のノードと上記第3のノードとの間に介設された第3のスイッチング素子により構成することができる。

【0023】

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによる第2のノードの電気的変化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えることにより、より安定した基準電圧を出力することができる。

【0024】

上記バッファを、外部で生成された基準電圧を入力電圧として受ける入力側ノードと出力電圧を送り出すための出力側ノードとの間に2つのバッファ回路を並列に配置して構成し、上記各バッファ回路を、一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1、第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記入力側ノードとの間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とにより構成することが好ましい。

【0025】

これにより、一方のバッファ回路でキャパシタにオフセット電圧に相当する電

荷を蓄積している間は、当該バッファ回路と出力側ノードとを電気的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができ、出力を停止させなければならない無効期間を低減することができる。

【0026】

本発明の基準電圧バッファ回路は、液晶モジュールの液晶素子を駆動するためのソースドライバ回路に配置される基準電圧バッファ回路であって、外部で生成された基準電圧を入力電圧として受ける入力側ノードと、出力電圧を送り出すための出力側ノードとの間に、2つのバッファ回路を並列に配置して構成され、上記2つのバッファ回路のうちの各バッファ回路は、一方の端子に入力電圧を他方の端子に自己の出力電圧をそれぞれ受けて、出力電圧を入力電圧に等しくするよう動作する演算器と、第1、第2の電極を有し、上記入力電圧と出力電圧との電圧差に相当する電荷を蓄積するためのキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とにより構成されている。

【0027】

これにより、一方のバッファ回路でキャパシタにオフセット電圧に相当する電荷を蓄積している間は、当該バッファ回路と出力側ノードとを電気的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができる。

【0028】

上記第2のノードに付設され、上記第1のスイッチング素子の切り換わりによ

る第2のノードの電気的変化を補償するための第5のスイッチング素子を介設した閉回路をさらに備えることにより、第2のスイッチング素子の寄生容量をキャンセルすることで、第2のノードの電圧の変動を補償することができるので、演算器の出力電圧も安定することになる。

【0029】

本発明の基準電圧バッファ回路の制御方法は、入力側ノードと出力側ノードとの間に、出力電圧を入力電圧に等しくするよう動作する演算器と、第1、第2の電極を有するキャパシタと、上記キャパシタの第1の電極に接続された第1のノードと、上記キャパシタの第2の電極に接続された第2のノードと、上記演算器の出力信号を受ける第3のノードと、上記第2のノードと上記第3のノードとの間に介設された第1のスイッチング素子と、上記第1のノードと上記演算器の入力側との間に介設された第2のスイッチング素子と、上記第1のノードと上記出力側ノードとの間に介設された第3のスイッチング素子と、上記第3のノードと上記出力側ノードとの間に介設された第4のスイッチング素子とをそれぞれ有する2つのバッファ回路を互いに並列に接続して構成される基準電圧バッファ回路の制御方法であって、上記各バッファ回路において、当該バッファ回路から基準電圧を出力する出力モードのときには、上記第3及び第4のスイッチング素子を導通状態にして、上記第1及び第2のスイッチング素子を非導通状態にする一方、当該バッファ回路のキャパシタに電荷を蓄積する電荷蓄積モードのときには、上記第3及び第4のスイッチング素子を非導通状態にして、上記第1及び第2のスイッチング素子を導通状態にする方法である。

【0030】

この方法により、一方のバッファ回路でキャパシタにオフセット電圧に相当する電荷を蓄積している間は、当該バッファ回路と出力側ノードとを電気的に遮断しておき、他方のバッファ回路からオフセットキャンセルされた基準電圧を出力側ノードに出力することが可能になる。そして、この状態を交互に切り換えることで、常にオフセットキャンセルされた基準電圧を出力することができるとともに、出力を停止させなければならない無効期間を低減することができる。

【0031】

上記第2のノードに付設され、上記第1のスイッチによる第1のノードの電気的变化を打ち消すための第5のスイッチング素子を介設した閉回路をさらに備え、上記第1のスイッチング素子の導通・非導通を切り換えるときには上記第5のスイッチング素子を連動して逆向きに切り換えることにより、上述のように、演算器から安定した基準電圧を出力させることができる。

【0032】

上記2つのバッファ回路のうち一方のバッファ回路が上記出力モードで他方のバッファ回路が上記電荷蓄積モードの状態から、上記一方のバッファ回路が上記電荷蓄積モードで他方のバッファ回路が上記出力モードの状態に切り換える際には、上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えてから、上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えることにより、制御モードの切り換え時においても、オフセットされた基準電圧が出力側ノードに出力されるのを確実に防止することができる。

【0033】

その際、上記一方のバッファ回路の第3及び第4のスイッチング素子を非導通状態に切り換えるときには、上記第4のスイッチング素子を非導通状態に切り換えた後、上記第3のスイッチング素子を非導通状態に切り換え、上記他方のバッファ回路の第3及び第4のスイッチング素子を導通状態に切り換えるときには、上記第3スイッチング素子を導通状態に切り換えた後、上記第4のスイッチング素子を導通状態に切り換えることができる。

【0034】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の各実施形態における液晶モジュール90の平面図である。同図に示すように、各実施形態における液晶モジュール90は、液晶パネル1と、液晶パネル1の液晶表示部1a中の液晶素子2を駆動させるための駆動回路とに分かれる。液晶パネル1の液晶表示部1aには、液晶を挟む1対のガラス基板が設けられていて、図1に現れている一方のガラス基板（上方のガラス基板）と、

図1には現れていない対向ガラス基板（下方のガラス基板）との間に、液晶素子2とTFT3とがマトリクス状に配置されている。液晶素子2は、例えば上方のガラス基板の下面に形成された透明電極と、対向ガラス基板の上面に形成された対向透明電極の間に介在する液晶により構成されている。また、TFT3は、上方のガラス基板の下面において透明電極に接続されて、透明電極の電圧を制御するためのトランジスタである。また、図1には、示されていないが、カラーフィルタ、下方のガラス基板、対向透明電極、偏光フィルタなどが設けられていて、下方に光の照射部等が設けられている。上記1対のガラス基板、液晶、各透明電極、TFT、カラーフィルタ、偏光フィルタ等により液晶パネル1が構成されている。

【0035】

また、駆動回路は、各TFT3のソースの電圧を制御するための複数の（本実施形態においては8個の）ソースドライバ4と、各TFT3のゲートの電圧を制御するためのゲートドライバ5と、ソースドライバ4及びゲートドライバ5とに供給する電圧信号や制御信号を生成するための電圧生成・制御用回路20とを備えている。また、液晶モジュール90は、電圧生成・制御用回路20とソースドライバ4との間に設けられた第1配線用基板10と、電圧生成・制御回路20とゲートドライバ5との間に設けられた第2配線用基板12とを備えている。第1配線用基板10と各ソースドライバ4とはフレキシブル配線11を介して接続され、第2配線用基板12と各ゲートドライバ5とはフレキシブル配線13を介して接続されている。駆動回路のうち各ソースドライバ4と各ゲートドライバ5とは、液晶パネル1のガラス基板の上に配置されている。すなわち、いわゆるCOG (Chip On Glass) タイプの構造となっている。各ソースドライバ4は、例えば8個のLSIチップとして個別に設けられている。

【0036】

そして、液晶パネル1において、駆動回路の各ソースドライバ4から図1に示す列（コラム）に沿って液晶表示部1aまで多数のデータ線6が延びており、各データ線6は各TFT3のソースに接続されている。また、ゲートドライバ5から図1に示す行（ロウ）に沿って液晶表示部1aまで多数のゲート線7が延びて

おり、各ゲート線7は各TFT3のゲートに接続されている。

【0037】

ここで、本実施形態の特徴は、基準電圧配線がフレキシブル配線11中には含まれておらず、別に電圧生成・制御用回路20と1つのソースドライバ4との間に、導出側の基準電圧配線15が設けられ、さらに、各ソースドライバ4間には、それぞれ抵抗値が数 100Ω 程度の導体線からなるチップ間基準電圧配線16(パネル上基準電圧配線)が設けられ、後述するように、各ソースドライバ4内には各チップ間基準電圧配線16とで1つの連続した配線となるように形成されたチップ内基準電圧配線が複数個(本実施形態においては10本)設けられている点である。そして、フレキシブル配線11には、データ供給用の配線、ソースドライバ4内の回路を制御するための信号を供給する配線、各回路のトランジスタ駆動用電圧を供給する配線などだけが含まれている。

【0038】

図2は、第1の実施形態における第1のタイプのソースドライバ4Aの構成を概略的に示すブロック回路図である。同図に示すように、LSIチップにより構成されるソースドライバ4A内には、それぞれ抵抗値が数Ω～数 100Ω の導体線からなる10本のチップ内基準電圧配線17がLSIチップの端部から端部に亘って形成されており、各チップ内基準電圧配線17の両端部には、チップ間基準電圧配線16を機械的に接続するための入力側パッド18aと出力側パッド18bとがそれぞれ設けられている。また、ソースドライバ4A内には、各基準電圧配線17からそれぞれ分岐する各分岐基準電圧配線17aが設けられ、この分岐基準電圧配線17aと同数の基準電圧生成バッファ31と、基準電圧生成バッファ31を制御するための制御回路30と、各基準電圧生成バッファ31の信号を受けて、基準電圧をn段階(例えば64段階)に細分化するための基準電圧生成用抵抗部32と、基準電圧生成用抵抗部32に接続される多数の電圧レベル選択回路34と、各電圧レベル選択回路34の後段側に配置された出力バッファ35とを備えている。

【0039】

各電圧レベル選択回路34は、n本の信号線を介して基準電圧生成用抵抗部3

2から電圧信号を受けており、各電圧レベル選択回路34は、電圧選択制御信号Svsの制御により、n本の信号線のうちいずれか1つの信号線から供給される電圧信号を通過させて、出力バッファ35を介してデータ線6に出力するものである。すなわち、電圧選択制御信号Svsにより、TFT3を経て液晶素子2を挟む1対の透明電極の間に印加される電圧を64段階のうちいずれか1つに制御することにより、当該液晶素子2を通過した光の明度が制御される。また、1つのソースドライバ4Aにおいて、電圧レベル選択回路34は、カラー表示の場合には例えば384個ずつ配置されている。

【0040】

図3は、基準電圧生成用抵抗部32の構成を示す電気回路図である。同図に示すように、基準電圧生成用抵抗部32は、(n-1)個(この例では63個)の抵抗体R1～R63を直列に接続して構成されている。そして、各分岐基準電圧配線17aから10段階に分けられた基準電圧VREF0～VREF9が入力されると、各抵抗体R1～R63間のノードから、64段階に細分化された電圧信号V0～V63を出力するように構成されている。

【0041】

以上の構成により、本実施形態においては、図9に示す従来の液晶モジュール100では、第1配線用基板110に基準電圧配線を含む多くの配線を搭載し、フレキシブル配線111を介して基準電圧をソースドライバ104に供給していたが、本実施形態の液晶モジュール90においては、基準電圧は電圧生成・制御用回路20から、各基準電圧配線15, 16, 17を介して各ソースドライバ4に供給されるので、第1配線用基板10には基準電圧を供給するための配線を搭載する必要がなく、その分、第1配線用基板10の構造を簡素化できる。すなわち、従来多数の基板を積層して構成していた第1配線用基板の構造を簡素化することにより、液晶モジュール90の小型化とトータルコストの低減とを図ることができる。

【0042】

ここで、上述のように、従来の液晶モジュール100における第1配線用基板110中の基準電圧供給配線131の抵抗値は数Ω程度であるのに対し、本実施

形態の液晶モジュール90における基準電圧配線15、チップ内基準電圧配線17及びチップ間基準電圧配線16の抵抗値は数Ω～数100Ωである。したがって、ソースドライバ4が電圧生成・制御用回路20から離れるほどソースドライバ4が受ける基準電圧は大きな電圧降下を生じるおそれがある。

【0043】

そこで、本実施形態においては、基準電圧生成バッファ31を、各ソースドライバ4内の基準電圧生成用抵抗部32の直前位置に配置することで、基準電圧配線を通して基準電圧生成抵抗に流入・流出する電流がなくなり、各基準電圧配線15、16、17、17aの抵抗が数100Ωでも電圧降下を抑制するようにしている。

【0044】

さらに、この基準電圧生成バッファ31における入力電圧と出力電圧の差（オフセット電圧）ができるだけ低減するための手段も講じている。その点について、以下に説明する。

【0045】

図4(a)、(b)、(c)は、本実施形態におけるオフセットキャンセル機能を有する基準電圧生成バッファ31Aの構成と、そのスイッチの開閉制御とを示す電気回路図である。

【0046】

図4(a)に示されるように、この基準電圧生成バッファ31Aは、演算増幅器Opaと、キャパシタCoffと、4つのスイッチSWa1、SWa2、SWb1、SWb2とを備えている。演算増幅器Opaの非反転入力端子は、入力側ノードN0を介して入力側の信号線である分岐基準電圧配線17aに接続されている。演算増幅器Opaの反転入力端子はノードN2を介してキャパシタCoffの一方の電極に接続されている。また、キャパシタCoffの他方の電極はノードN1に接続され、さらに、ノードN1とノードN0との間にスイッチSa2が介設されている。ノードN2にはスイッチSWb1を介設した閉回路が付設されている。演算増幅器Opaの出力側端子はノードN3に接続されており、ノードN3とノードN2との間にスイッチSWa1が介設され、ノードN3とノードN1との間にスイッチSWb2が

それぞれ介設されている。そして、スイッチ SWa1, SWa2は制御回路30から出力される制御信号 Saにより開閉制御され、スイッチ SWb1, SWb2は制御回路30から出力される制御信号 Sbにより開閉制御される。各スイッチ SWa1, SWa2, SWb1, SWb2は、通常MOSトランジスタによって構成されている。スイッチ SWb1はスイッチ SWa1とオン・オフ動作を反転させて、スイッチ SWa1の寄生容量をキャンセルする動作補償用のものである。

【0047】

ここで、基準電圧生成バッファ31Aにおいて、演算増幅器Opaが介在することで、入力側ノードN0からノードN3に電流が流入することはない。また、一般的な演算増幅器は、2つの入力端子から受ける電圧の差分を増幅する差分増幅器として機能するものであるが、本実施形態における演算増幅器Opaは、出力電圧を一方の入力電圧としてフィードバックする負帰還型の構造となっており、このような演算増幅器Opaは、出力電圧Voutが入力電圧Vinに等しくなるように動作する。ただし、演算増幅器Opaを設けただけでは、その入力側ノードN0と出力側のノードN3との間に、ある程度の電位差つまりオフセット電圧Voffが発生する。そこで、キャパシタCoffを設けることにより、オフセット電圧Voffをキャンセルするようにしている。

【0048】

この基準電圧生成バッファ31Aにおける動作について、図4(b), (c)を参照しながら説明する。まず、図4(b)に示すように、スイッチ SWa1, SWa2を閉じて(オン状態)、スイッチ SWb1, SWb2を開く(オフ状態)。このとき、ノードN1の電圧は入力信号Vinの電圧値に、ノードN2の電圧は入力信号Vinの電圧値に演算増幅器Opaのオフセット電圧Voffが加わった電圧値(Vin+Voff)になる。したがって、ノードN1-N2間に介在するキャパシタCoffには、演算増幅器Opaのオフセット電圧Voffに相当する電荷が蓄積される。

【0049】

次に、図4(c)に示すように、キャパシタCoffに蓄積された電荷を放しないように、スイッチ SWa1, SWa2を開き(オフ状態)、スイッチ SWb1, S

W_{b2} を閉じる（オン状態）。すると、オフセット電圧 V_{off} をキャンセルした電圧が出力電圧 V_{out} として出力される。これにより、入力信号 V_{in} の電圧値にはほぼ等しい電圧を出力することができる。その後、図4（b）に示す接続状態と、図4（c）に示す接続状態とを一定の時間間隔毎に（1クロックサイクル毎とは限らない）交互に切り換えて、オフセットキャンセル機能を果たしていく。

【0050】

このようなオフセットキャンセル機能を付加した基準電圧生成バッファ31Aを設けることにより、基準電圧配線17から細分化される前の基準電圧として高精度の電圧値を基準電圧生成抵抗部32に供給することができ、ひいては、各液晶素子2に印加される制御用電圧値のばらつきを抑制することができる。

【0051】

（第2の実施形態）

上記第1の実施形態における図4（a）に示すオフセットキャンセル機能を有する基準電圧生成バッファ31Aにおいては、基準電圧配線から供給される基準電圧値は、図4（b）に示す状態では、ノードN3の電圧は（ $V_{in} + V_{off}$ ）となっており、オフセットされた基準電圧が出力されることになる。ところが、キャパシタ C_{off} にオフセット電圧 V_{off} が充電されるまで図4（b）の状態を保持する必要があるため、この期間が長くなると、オフセットキャンセルされた電圧値が基準電圧として基準電圧生成用抵抗部32に供給される期間が短くなるので、今後の低電圧化、高精細化に対応できなくなるおそれがある。

【0052】

そこで、本実施形態では、より確実にオフセットキャンセルを実現できる基準電圧生成バッファを設けた例について説明する。本実施形態においても、第1の実施形態における液晶モジュール90、ソースドライバ4、基準電圧生成用抵抗部32（図1～図3参照）の基本構成をそのまま採用するものとする。

【0053】

図5は、本実施形態の基準電圧生成バッファ31Bの構成を示す電気回路図である。本実施形態における基準電圧生成バッファ31Bは、演算増幅器Opaと、キャパシタ C_{off} と、5つのスイッチ SWa1, SWa2, SWb1, SWb2, SWc

とを備えた第1バッファ回路31Baと、演算増幅器Opaと、キャパシタCoffと、5つのスイッチSWa1, SWa2, SWb1, SWb2, SWdとを備えた第2バッファ回路31Bbとを備えている。第1バッファ回路31Baにおいて、演算増幅器Opaの非反転入力端子は、入力側のノードN0を介して入力側の信号線である分岐基準電圧配線17aに接続されている。演算増幅器Opaの反転入力端子はノードN2aを介してキャパシタCoffの一方の電極に接続されている。また、キャパシタCoffの他方の電極はノードN1aに接続され、さらに、ノードN1aとノードN0との間にスイッチSWa2が介設されている。ノードN2aにはスイッチSWb1を介設した閉回路が付設されている。演算増幅器Opaの出力側端子はノードN3aに接続されており、ノードN3aとノードN2aとの間にスイッチSWa1が介設されている。さらに、基準信号出力部となる出力側ノードN4とノードN3aとの間にスイッチSWcが、出力側ノードN4とノードN1aとの間にはスイッチSWb2がそれぞれ介設されている。

【0054】

第2バッファ回路31Bbは、第1バッファ回路31BaにおけるスイッチSWcに代えてスイッチSWdを、スイッチSWa1, SWa2に代えてスイッチSWb1, SWb2を、スイッチSWb1, SWb2に代えてスイッチSWa1, SWa2を、ノードN1a, N2a, N3aに代えてノードN1b, N2b, N3bをそれぞれ配置した構成となっている。そして、第1バッファ回路31Ba及び第2バッファ回路31Bbにおいて、スイッチSWa1, SWa2は制御回路30から出力される制御信号Saにより開閉制御され、スイッチSWb1, SWb2は制御回路30から出力される制御信号Sbにより開閉制御され、スイッチSWcは制御回路30から出力される制御信号Scにより開閉制御され、スイッチSWdは制御回路30から出力される制御信号Sdにより開閉制御される。このように、第1バッファ回路31Baと第2バッファ回路31Bbとは基本的に同じ回路構成を有していると考えてよい。つまり、スイッチSWの開閉制御が逆になるだけである。

【0055】

ここで、第1の実施形態においては、図4(a)に示すように、基準電圧生成バッファ31AにおいてスイッチSWb2の出力側のノードと、スイッチSWa1の

出力側のノードとが共通のノード（N3）となっていたが、図5に示す本実施形態の基準電圧生成バッファ31Bの各バッファ回路31Ba, 31Bbにおいては、スイッチSWb2, SWa2の出力側のノードは出力信号Voutを出力するための出力側ノードN4に直接つながっており（共通化されており）、スイッチSWa1, SWb1の出力側のノードは演算増幅器Opaの出力側とスイッチSWc, SWdとの間のノードN3a, N3bにそれぞれ直接つながっている（共通化されている）。

【0056】

図6（a）は、本実施形態の基準電圧生成バッファ31Bの各スイッチの開閉を制御する手順を示すタイミングチャートである。まず、タイミングt0では、制御信号Sa, Sdがハイレベルに制御信号Sb, Scがロウレベルになることで、スイッチSWa1, SWa2, SWdが閉じ（オン状態）、スイッチSWb1, SWb2, SWcが開いている（オフ状態）。したがって、第1バッファ回路31Baは出力側ノードN4と遮断された状態となり、第2バッファ回路31BbのノードN3bから、基準信号出力部である出力側ノードN4に基準電圧が出力される。このとき、第2バッファ回路31Bbは図4（c）に示す接続状態と実質的に同じ接続状態となっているので、すでに説明したように、出力側ノードN4からはオフセットキャンセルされた基準電圧が出力される。一方、第1バッファ回路31Baは図4（b）に示す接続状態と実質的に同じ接続状態になっており、キャパシタCoffにオフセット電圧Voffを充電している状態である。

【0057】

次に、タイミングt1で、それまでの状態から制御信号Sdのみがロウレベルとなり、スイッチSWdが開く（オフ状態）。その後、タイミングt2で、制御信号Saがロウレベルになるので、スイッチSWa1, SWa2が開いて（オフ状態）、第2バッファ回路31Bbと出力側ノードN4とは互いに遮断された状態になる。一方、第1バッファ回路31BaのスイッチSWb2及びSWcは開いたままであるので、第1バッファ回路31Baと出力側ノードN4とも互いに遮断された状態になっている。

【0058】

その後、タイミングt3で、制御信号Sbがハイレベルになり、スイッチSW

b1, SWb2が閉じ（オン状態）、さらに、タイミングt4で、制御信号Scがハイレベルになって、スイッチSWcが閉じる（オン状態）と、第1バッファ回路31Baが図4(c)に示す状態になり、出力側ノードN4にはオフセットキャンセルされた基準電圧が出力される。一方、第2バッファ回路31Bbでは、スイッチSWb1, SWb2が閉じることでキャパシタCoffが充電状態になるが、スイッチSWa2, SWdが開いているので、第2バッファ回路31Bbは出力側ノードN4とは遮断された状態になっている。

【0059】

したがって、タイミングt1～t4の間において、出力信号Voutとしてオフセット電圧Voffを含む出力電圧($V_{in} + V_{off}$)が基準電圧生成用抵抗部32に出力されることはなく、数クロックサイクルの期間以外はオフセットキャンセルされた基準電圧のみを供給することが可能になる。

【0060】

その後、タイミングT5～t7において、上述のタイミングt1～t4の制御とは逆の順序で各スイッチSWの開閉制御が行なわれる。すなわち、第1バッファ回路31Ba及び第2バッファ回路31Bbと、出力側ノードN4とを遮断した状態にしてから、第1バッファ回路31Baを充電状態に切り換え、オフセットキャンセルされた基準電圧を第2バッファ回路31Bbから出力側ノードN4に出力するように切り換えるのである。

【0061】

一方、タイミングt2～t3間やタイミングt6～t7間においては、いずれの基準電圧生成バッファ31Bのバッファ回路31Ba, 31Bbからも生成信号が出力されないが、この無効期間は数クロック周期程度である。

【0062】

本実施形態においては、上記第1の実施形態の効果に加えて、オフセットキャンセル機能をより確実に得ることができる。つまり、構造上、単一のオフセットキャンセル機能付きバッファ回路においては、オフセットキャンセルを実現するための充電期間の間はオフセット電圧を含む出力電圧を出力するか、その間出力を停止させるようにする必要がある。そのため、基準電圧が出力されない無効期

間が長くなるおそれがある。

【0063】

それに対し、本実施形態においては、一方の生成回路31Ba（又は31Bb）が充電している間に、他方の生成回路31Bb（又は31Ba）がオフセットキャンセルされた基準電圧を出力するように動作させることにより、無効期間を数クロック周期程度に抑制しつつ、オフセットキャンセルされた基準電圧のみを出力することができる。

【0064】

図6(b)は、図6(a)に示すタイミングt1, t2と同じタイミングとし、タイミングt3, t4と同じタイミングにした本実施形態の変形例に係るタイミングチャートである。この変形例では、本実施形態と同様の効果を発揮でき、かつ、第1バッファ回路31aと第2バッファ回路31bとの充電ー出力状態の切り換えに要する時間を図6(a)に示すタイミングチャートよりも短縮できる利点がある。

【0065】

(第3の実施形態)

本実施形態においては、第2のタイプのソースドライバを有する液晶モジュールについて説明する。

【0066】

図7は、本実施形態における第2のタイプのソースドライバ4Bの構成を概略的に示すブロック回路図である。同図に示すように、ソースドライバ4B内には、対向透明電極に印加される中間電圧よりも高電位の基準電圧を受ける正側基準電圧生成用抵抗部32aと、対向透明電極に印加される中間電圧よりも低電位の基準電圧を受ける負側基準電圧生成部32bとが設けられていて、各電圧レベル選択回路34は、正側基準電圧生成抵抗部32aの出力を受ける正側電圧レベル選択回路34aと、負側基準電圧生成抵抗部32bの出力を受ける負側電圧レベル選択回路34bとに分けられ、正側電圧レベル選択回路34aと負側電圧レベル選択回路34bとが交互に配置されている。そして、正側電圧レベル選択回路34aと負側電圧レベル選択回路34bとの出力を受けるセレクタ36により、

セレクタ制御信号 S seに応じて、正側電圧レベル選択回路 34 a の出力と負側電圧レベル選択回路 34 b の出力を交互に切り換えて、両者の出力側に配置される出力バッファ 35, 35 に供給するように制御される。つまり、相隣接する 2 つの出力バッファ 35, 35 からは、一定の時間間隔で交互に高低切り換わる電圧信号が出力されることになる。すなわち、相隣接するデータ線 6 に接続される液晶素子 2 には、常に正負逆の電圧が印加された状態となり、かつ、その状態が一定の時間間隔で逆転することになる。このように、第 2 のタイプの液晶モジュールに配置されるソースドライバ 4 Bにおいては、相隣接するデータ線 6 の電圧を交互に高低切り換えることにより、1 つの液晶素子 2 に印加される電圧を一定の時間間隔で正負切り換えるように構成されている。

【0067】

また、図 8 は、本実施形態の正側基準電圧生成用抵抗部 32 a と、負側基準電圧生成用抵抗部 32 b との構成を示す回路図である。同図に示すように、正側基準電圧生成用抵抗部 32 a は、(n - 1) 個（この例では 63 個）の抵抗体 R 1 ~ R 63 を直列に接続して構成されている。そして、各分岐基準電圧配線 17 a から 5 段階に分けられた基準電圧 VREF0 ~ VREF4 が入力されると、各抵抗体 R 1 ~ R 63 間のノードから、64 段階に細分化された電圧信号 V0 ~ V63 を出力するように構成されている。負側基準電圧生成用抵抗部 32 b は、(n - 1) 個（この例では 63 個）の抵抗体 R 65 ~ R 127 を直列に接続して構成されている。そして、各分岐基準電圧配線 17 a から 5 段階に分けられた基準電圧 VREF5 ~ VREF9 が入力されると、各抵抗体 R 65 ~ R 127 間のノードから、64 段階に細分化された電圧信号 V65 ~ V127 を出力するように構成されている。

【0068】

本実施形態においては、基準電圧生成バッファ 31 の構成として、第 1 の実施形態を採用してもよいし、第 2 の実施形態を採用してもよい。そして、本実施形態の液晶モジュールにおいても、第 1 の実施形態と同様に、基準電圧は電圧生成・制御用回路 20 から、各基準電圧配線 15, 16, 17, 17 a を介して各ソースドライバ 4 に供給されるので、第 1 配線用基板 10 には基準電圧を供給する

ための配線を搭載する必要がなく、その分、第1配線用基板10の構造を簡素化できる。すなわち、従来多数の基板を積層して構成していた第2配線用基板の構造を簡素化することにより、液晶モジュールの小型化とトータルコストの低減とを図ることができる。

【0069】

また、上記図4(a)又は図5に示すような基準電圧生成バッファ31A(又は31B)を、各ソースドライバ4内の正又は負側の基準電圧生成用抵抗部32a, 32bの直前位置に配置することで、電圧降下による各液晶素子2に印加される電圧値の変動を抑制することができる。

【0070】

【発明の効果】

本発明によると、ソースドライバとして機能する半導体集積回路装置を液晶パネル上で直列に接続する基準電圧配線を設け、ソースドライバ内の基準電圧の電圧降下を回避する手段を講じたので、小型化されトータルコストの安価な液晶モジュールに用いるのに適した液晶駆動回路、半導体集積回路装置、基準電圧バッファ回路及びその制御方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の各実施形態における液晶モジュールの平面図である。

【図2】

第1の実施形態における第1のタイプのソースドライバの構成を概略的に示すブロック回路図である。

【図3】

第1の実施形態における第1のタイプのソースドライバの基準電圧生成用抵抗部の構成を示す電気回路図である。

【図4】

(a), (b), (c)は、第1の実施形態におけるオフセットキャンセル機能を有する基準電圧生成バッファの構成と、そのスイッチの開閉制御とを示す電気回路図である。

【図5】

第2の実施形態の基準電圧生成バッファの構成を示す電気回路図である。

【図6】

(a), (b)は、第2の実施形態の基準電圧生成バッファの各スイッチの開閉を制御する手順及びその変形例を示すタイミングチャートである。

【図7】

第3の実施形態における第2のタイプのソースドライバの構成を概略的に示すブロック回路図である。

【図8】

第3の実施形態の正側基準電圧生成用抵抗部と負側基準電圧生成用抵抗部との構成を示す回路図である。

【図9】

従来の液晶モジュールの平面図である。

【図10】

従来の第1のタイプのソースドライバの構成を概略的に示すブロック回路図である。

【図11】

従来の第2のタイプのソースドライバの構成を概略的に示すブロック回路図である。

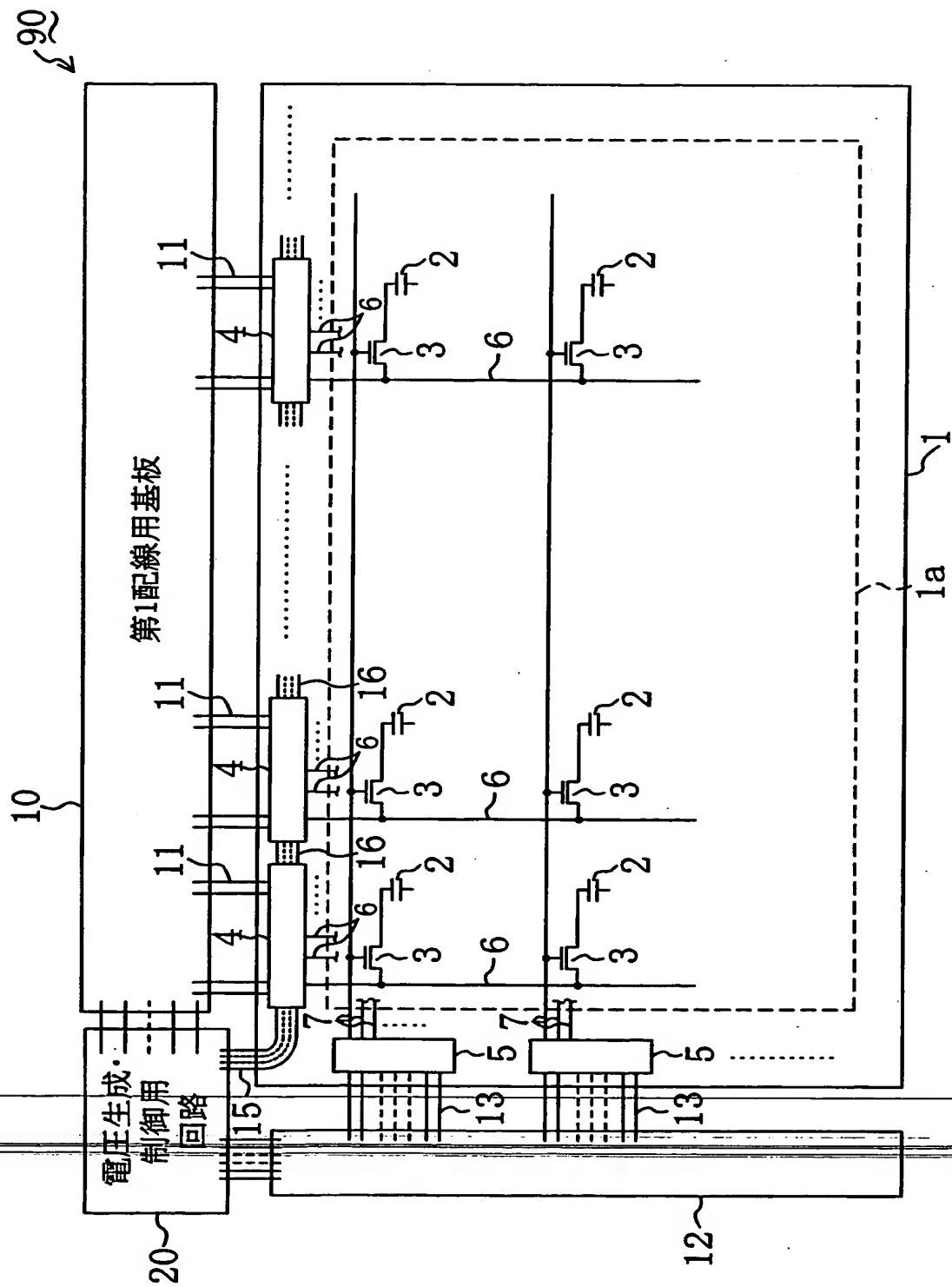
【符号の説明】

- | | |
|-----|---------|
| 1 | 液晶パネル |
| 1 a | 液晶表示部 |
| 2 | 液晶素子 |
| 3 | TFT |
| 4 | ソースドライバ |
| 5 | ゲートドライバ |
| 6 | データ線 |
| 7 | ゲート線 |
| 10 | 第1配線用基板 |

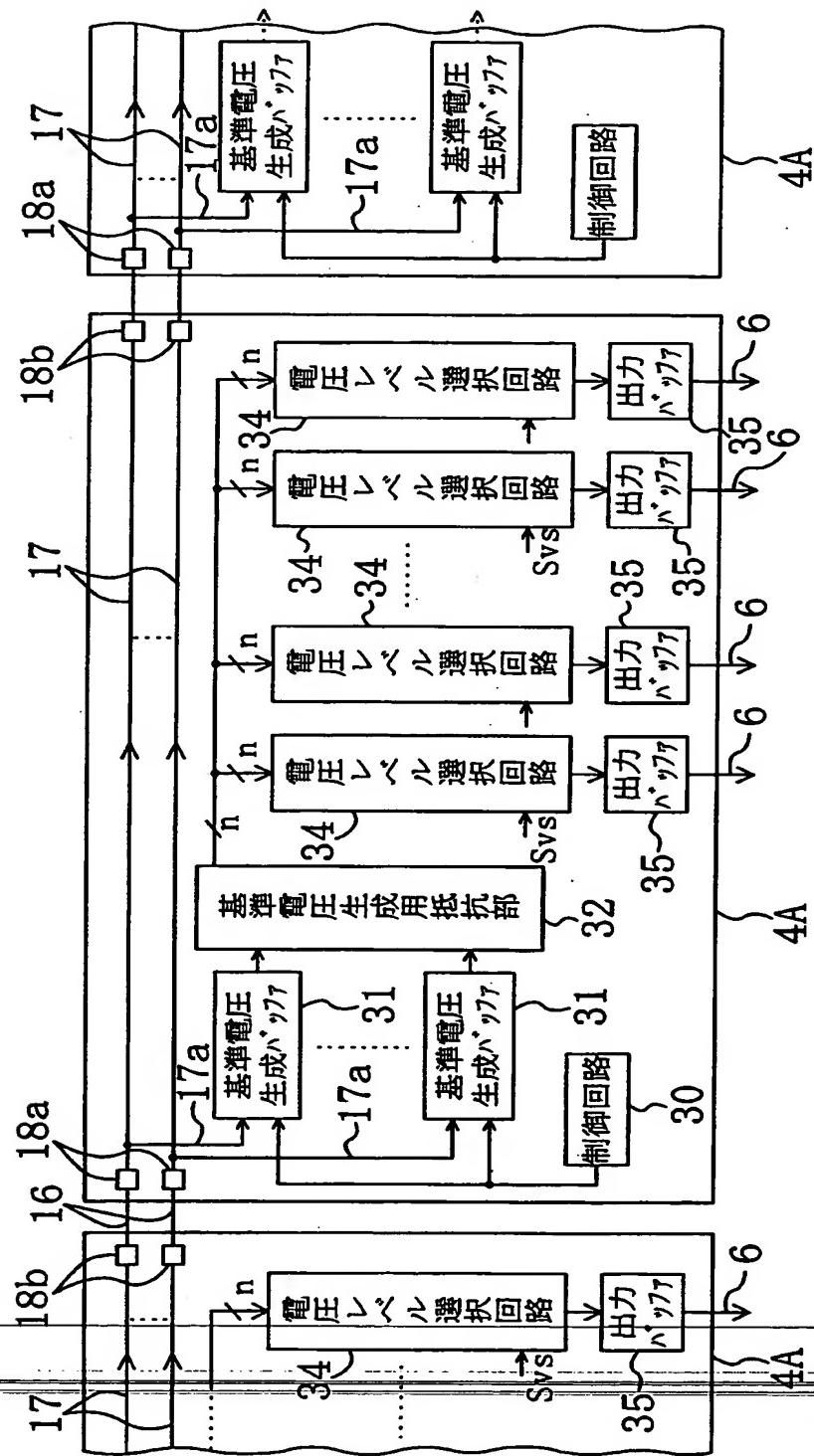
- 1 1 フレキシブル配線
- 1 2 第2配線用基板
- 1 3 フレキシブル配線
- 1 5 基準電圧配線
- 1 6 チップ間基準電圧配線
- 1 7 チップ内基準電圧配線
- 1 8 a 入力側パッド
- 1 8 b 出力側パッド
- 2 0 電圧生成・制御用回路
- 3 0 制御回路
- 3 1 基準電圧生成バッファ
- 3 1 a 正側基準電圧生成バッファ
- 3 1 b 負側基準電圧生成バッファ
- 3 1 Ba 第1バッファ回路
- 3 1 Bb 第2バッファ回路
- 3 2 基準電圧生成用抵抗部
- 3 2 a 正側基準電圧生成用抵抗部
- 3 2 b 負側基準電圧生成用抵抗部
- 3 4 電圧レベル選択回路
- 3 4 a 正側電圧レベル選択回路
- 3 4 b 負側電圧レベル選択回路
- 3 5 出力バッファ

【書類名】図面

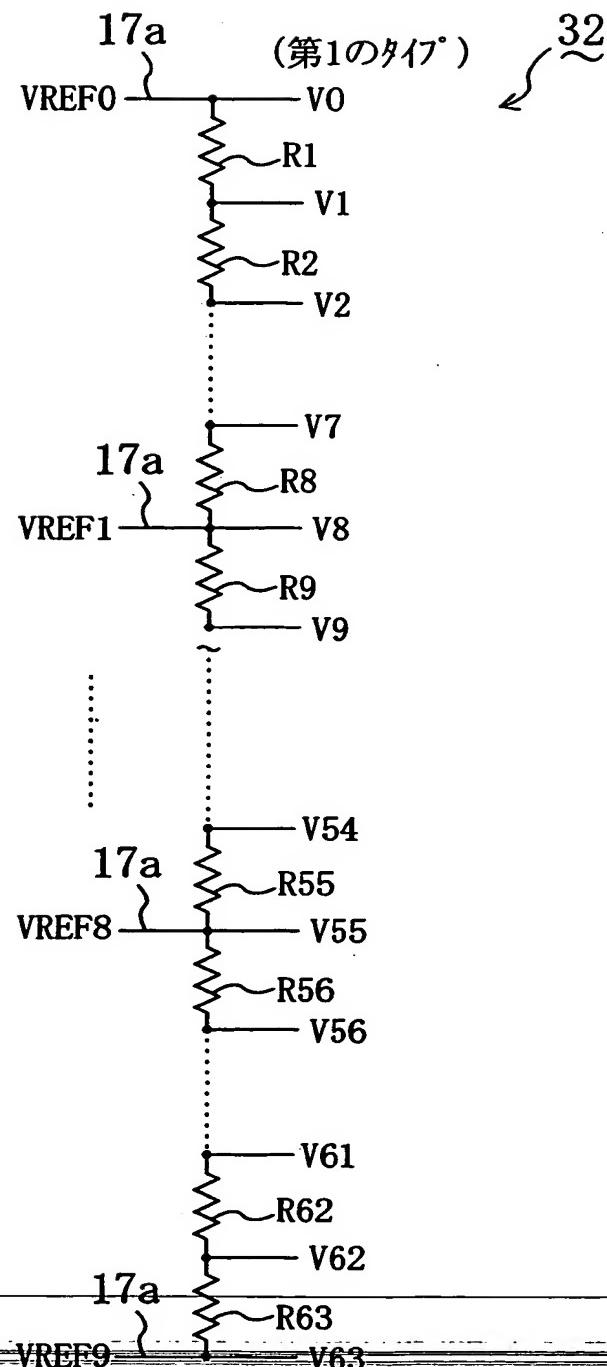
【図1】



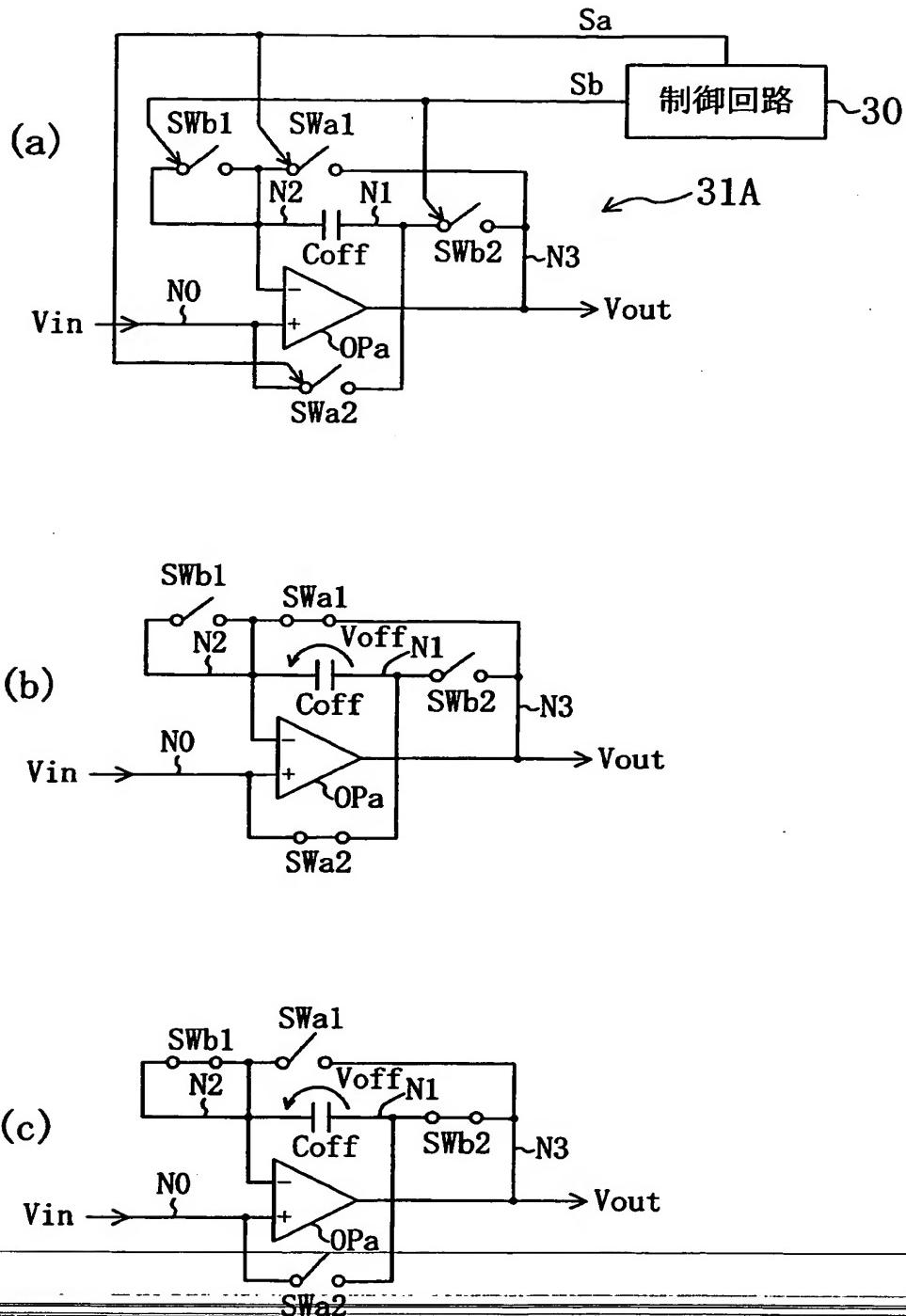
【図2】



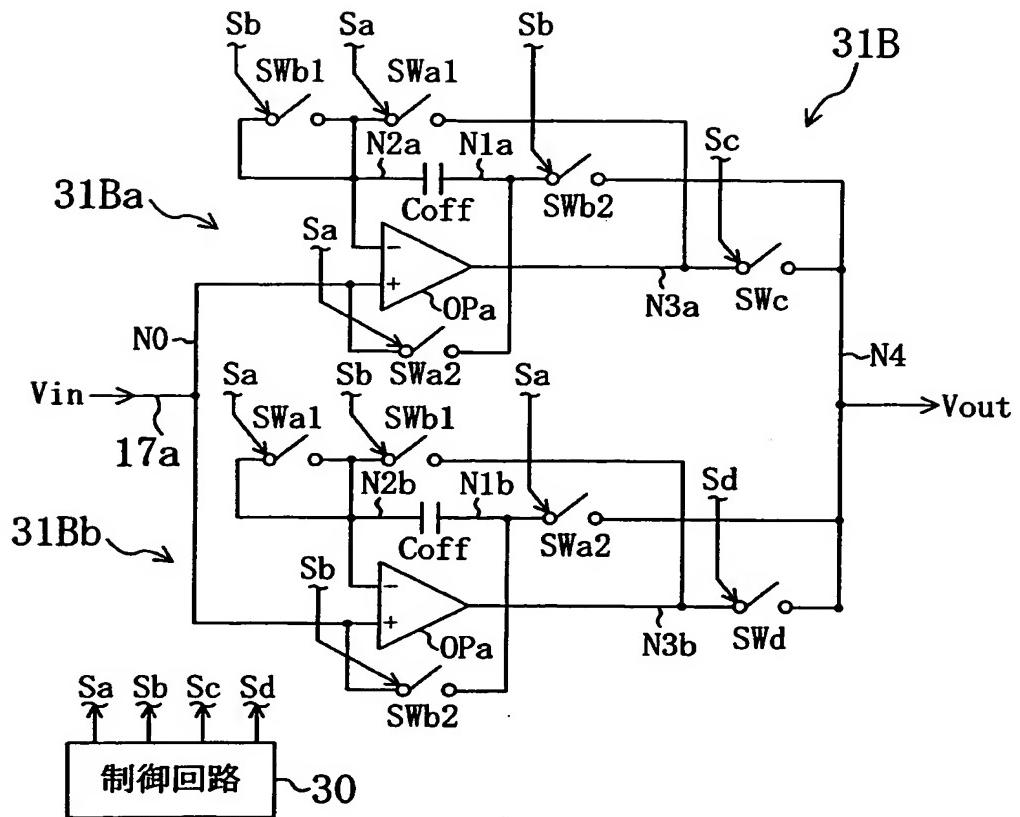
【図3】



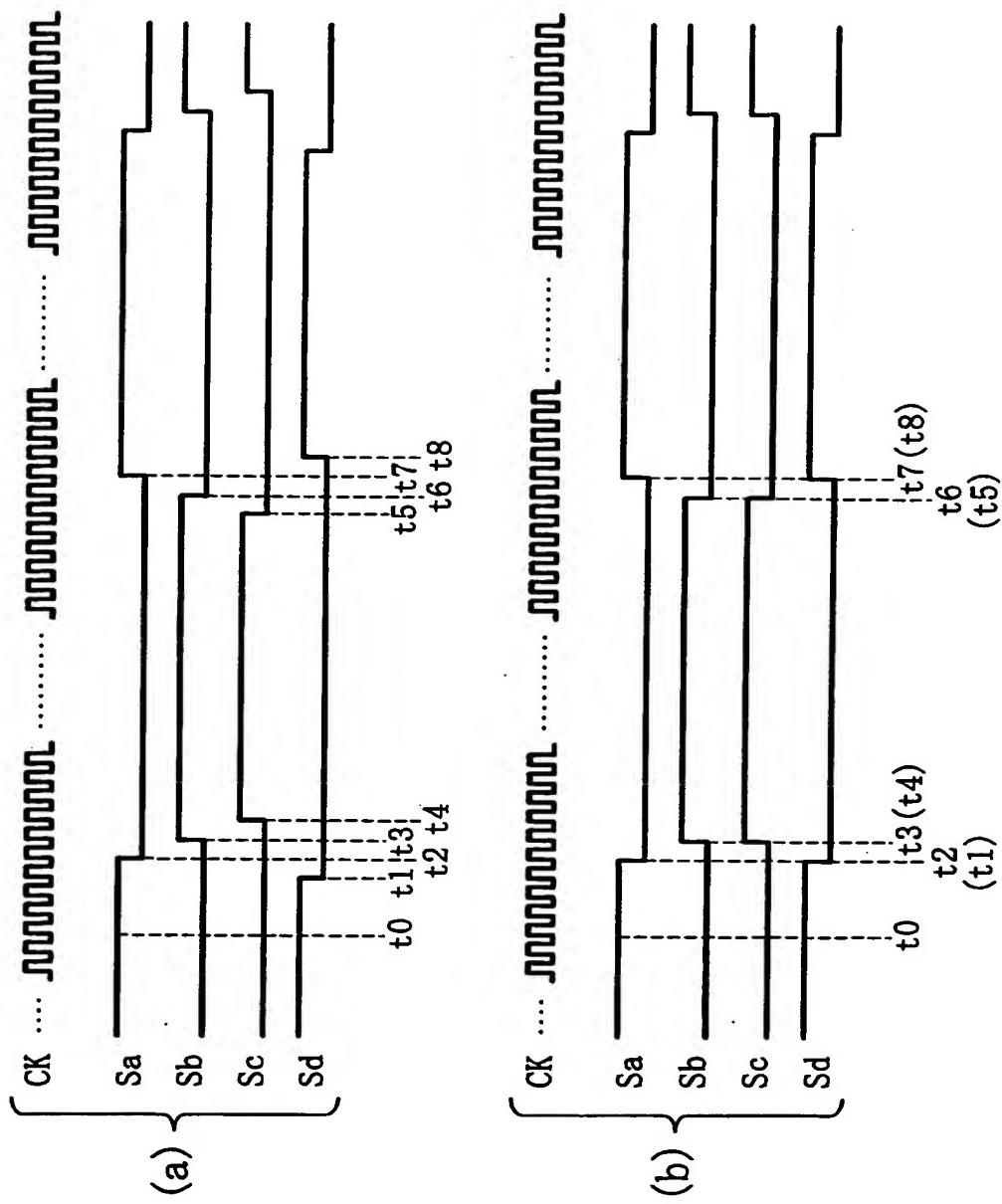
【図4】



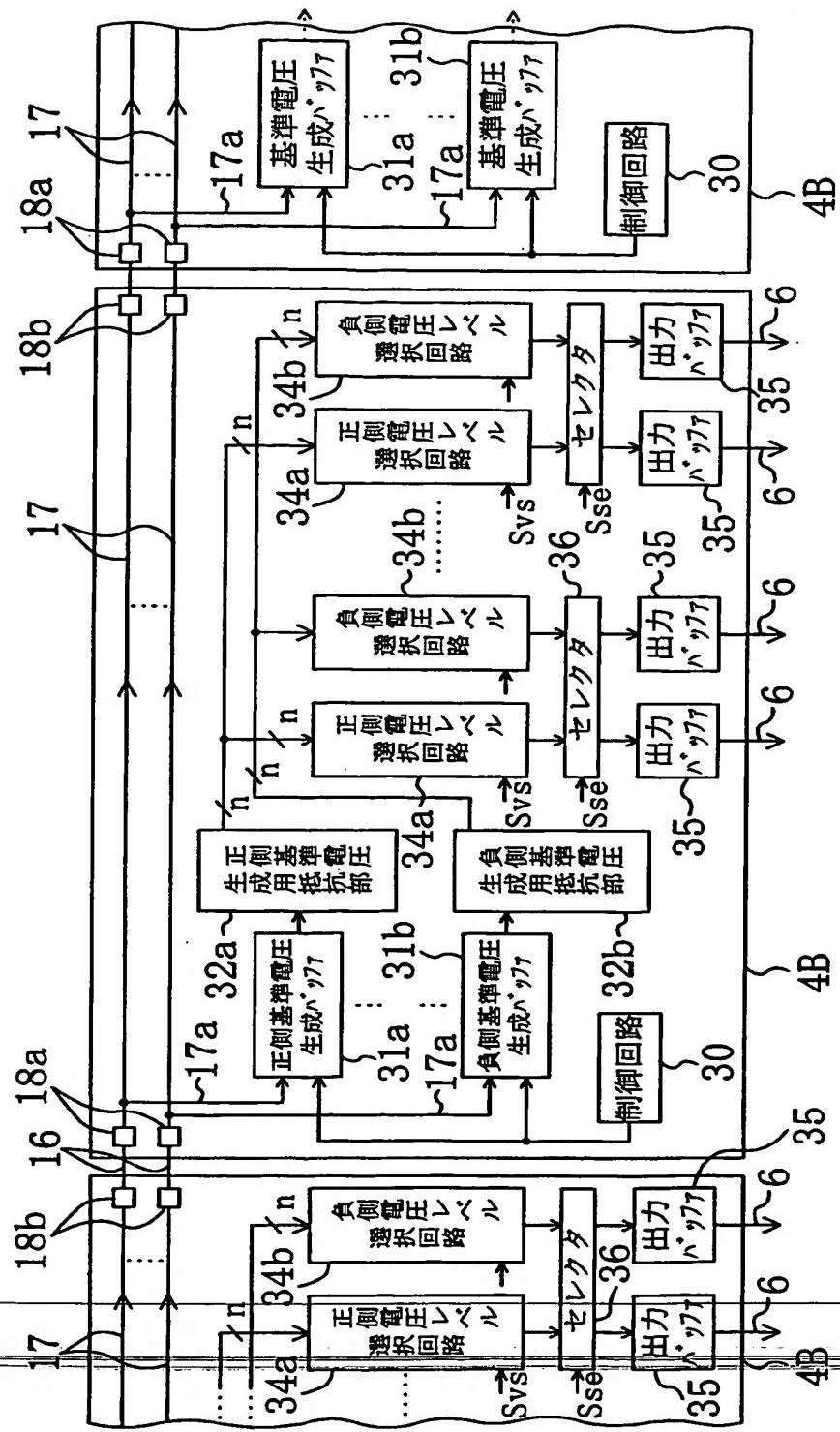
【図5】



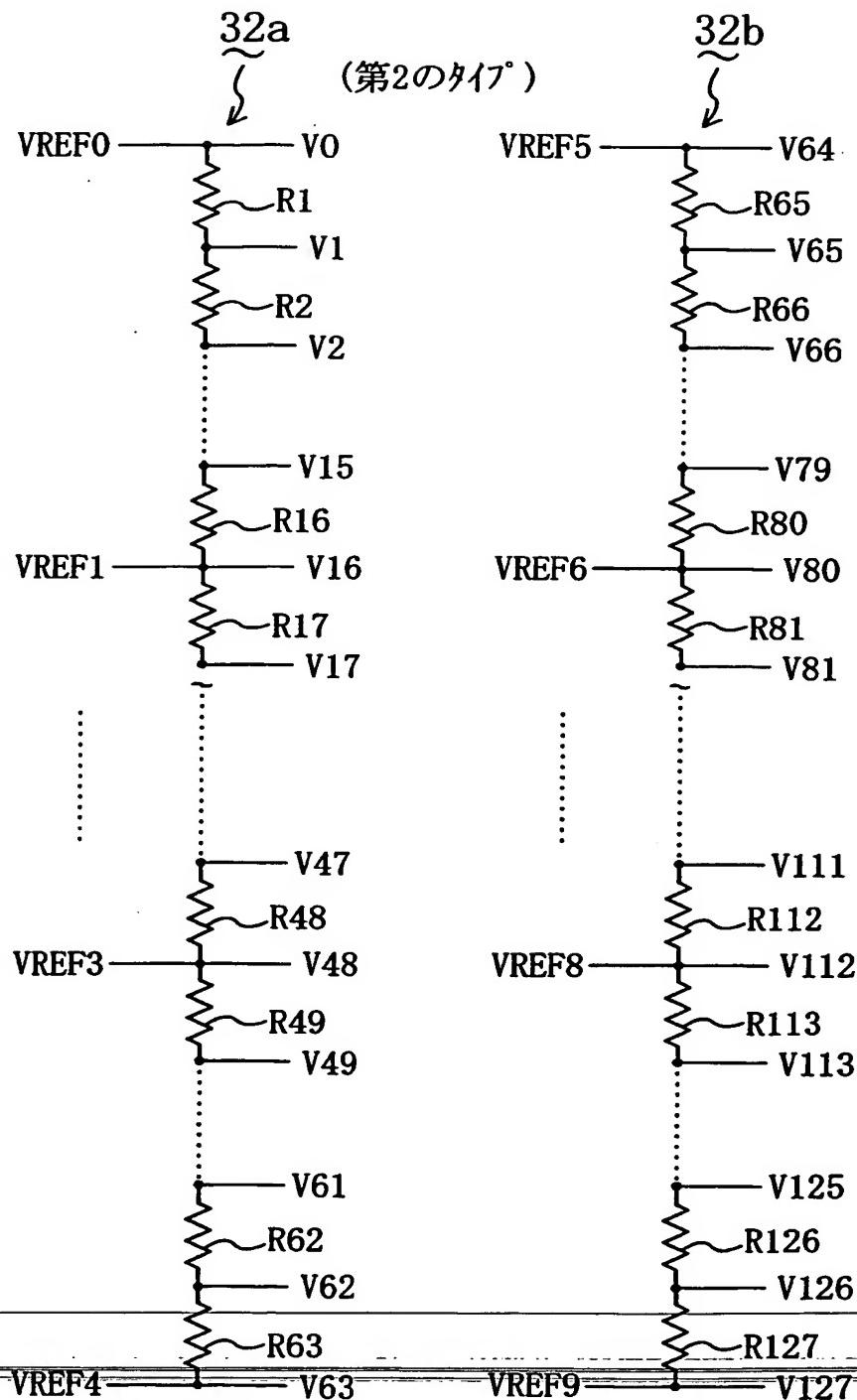
【図6】



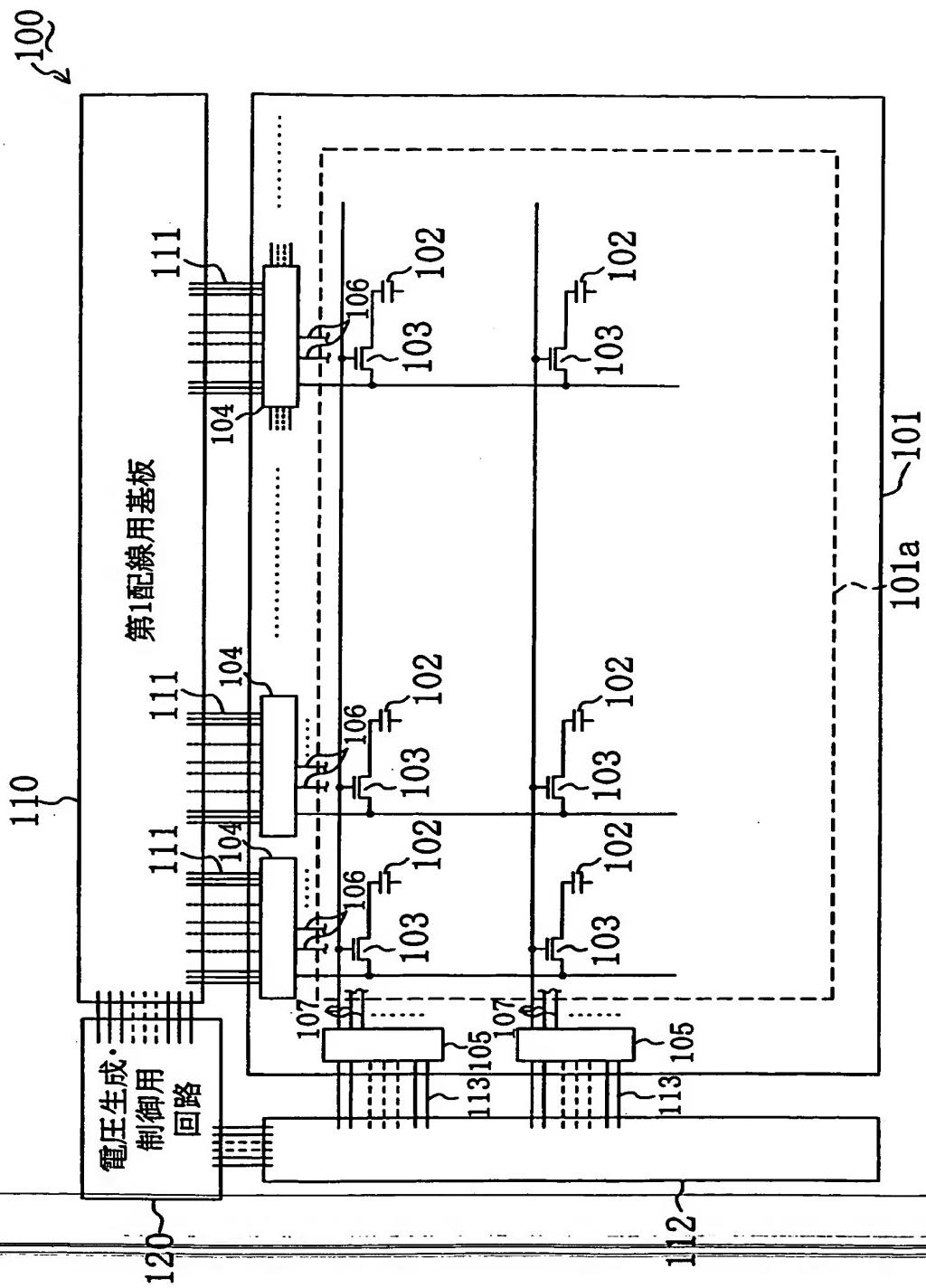
【図7】



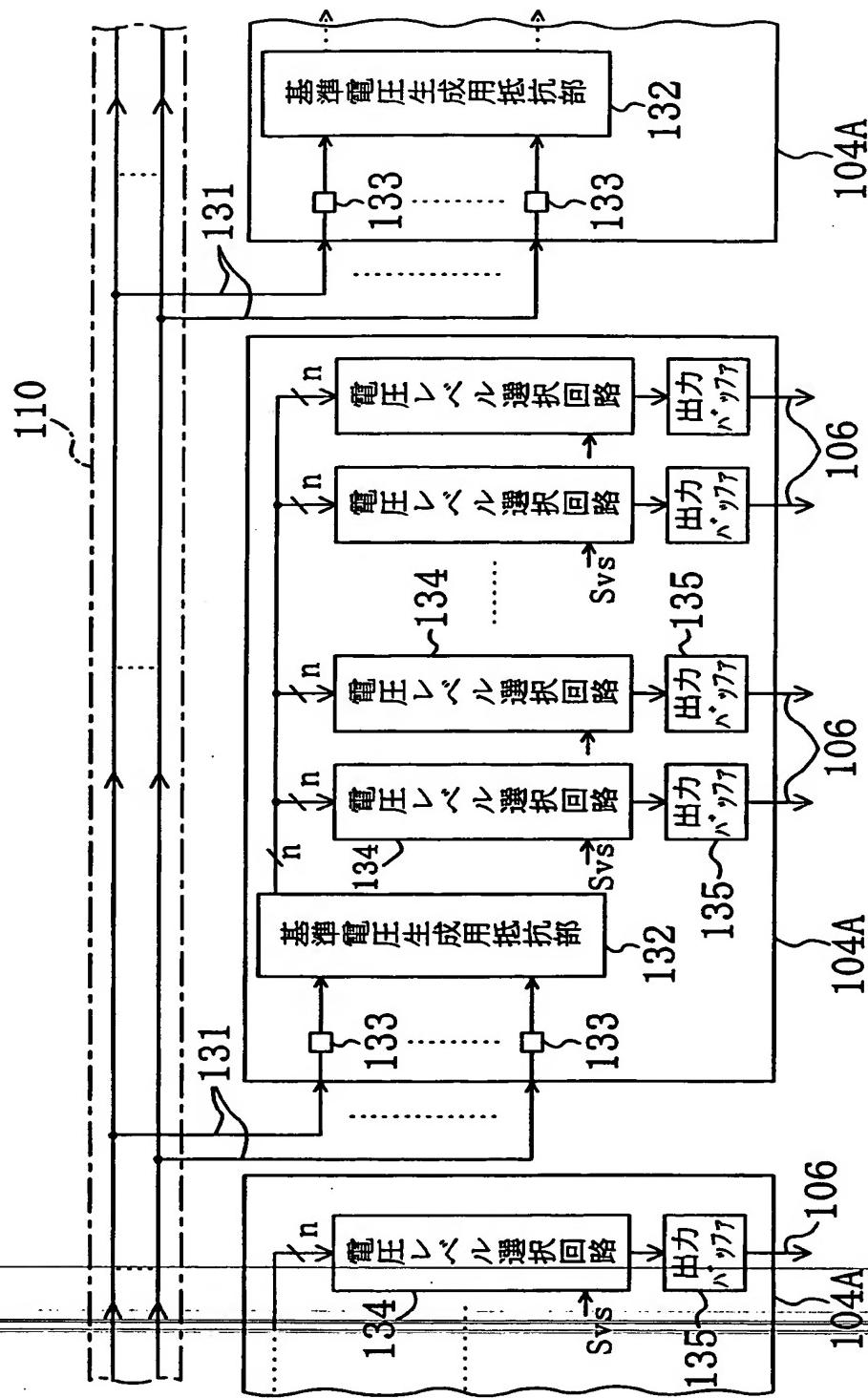
【図8】



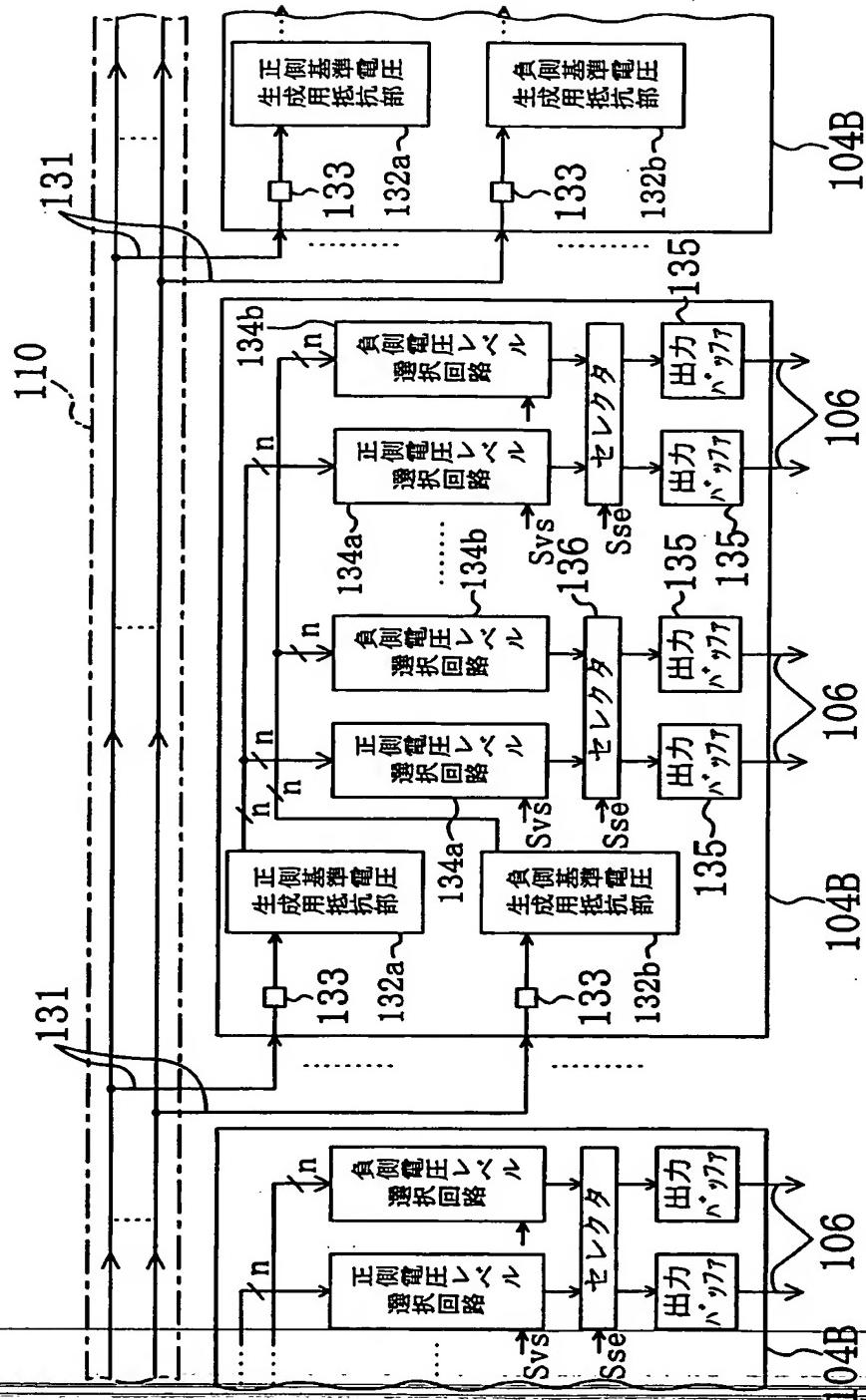
【図9】



【図10】



〔図 11〕



【書類名】 要約書

【要約】

【課題】 液晶モジュールにおける基準電圧を供給する配線構造の簡素化による装置の小型化、トータルコストの低減を実現する。

【解決手段】 液晶パネルに配置されるソースドライバ4 A内には、チップ内基準電圧配線17がLSIチップの端部から端部に亘って形成されている。ソースドライバ4 A内には、各チップ内基準電圧配線17から分岐する各分岐基準電圧配線17aと、基準電圧生成バッファ31と、基準電圧生成バッファ31を制御するための制御回路30と、基準電圧をn段階に細分化するための基準電圧生成用抵抗部32と、細分化された電圧のうちいずれか1つを選択する電圧レベル選択回路34と、出力バッファ35とを備えている。基準電圧は、各チップ内基準電圧配線17を直列に接続する配線を介して各ソースドライバ4に供給されるので、基準電圧を供給するための配線構造を簡素化できる。

【選択図】 図2

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社